

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-231949

(43)Date of publication of application : 16.08.2002

(51)Int.Cl.

H01L 29/78
H01L 21/822
H01L 21/8234
H01L 27/04
H01L 27/06

(21)Application number : 2001-150294

(71)Applicant : NEC KANSAI LTD

(22)Date of filing : 21.05.2001

(72)Inventor : YANAGAWA HIROSHI

(30)Priority

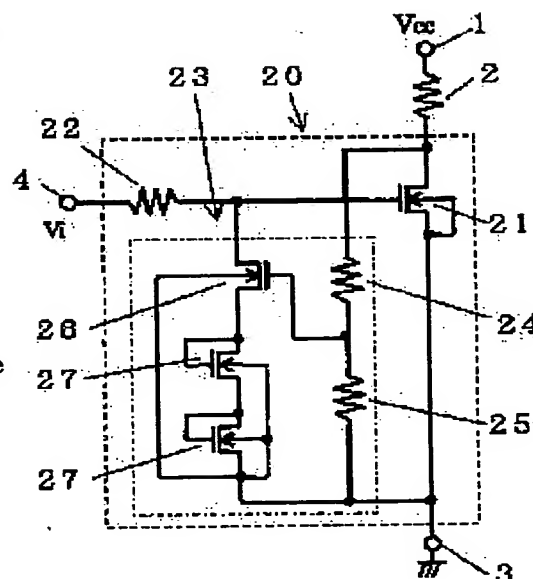
Priority number : 2000362032 Priority date : 29.11.2000 Priority country : JP

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To resolve the problem in a conventional semiconductor device such as that the current limit fluctuates against the design value, too, in the case that there are variations in threshold voltage V_T of a MOS transistor for output in manufacturing, when the line between the gate and the source of the MOS transistor for output is clamped into the fixed voltage.

SOLUTION: A clamp circuit 23, which clamps the line between gate and the source of the MOS transistor 21 for output, divides the voltage between the drain and the source of the MOS transistor 21 for output with potential divider resistors 24 and 25, and this supplies this divided voltage to the gate of the channel-type MOS transistor 26 for switching, and limits the output current of the MOS transistor 21 for output, with the sum of the threshold voltage V_T of MOS transistors 27 and 27 for clamp and the ON voltage of the MOS transistor 26 for switching as clamp voltage, by switching on the MOS transistor 26 for switching, when a overcurrent flows to the MOS transistor 21 for output.



LEGAL STATUS

[Date of request for examination]

05.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

Searching PAJ

[Date of final disposal for application]	
[Patent number]	3555680
[Date of registration]	21.05.2004
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-231949
(P2002-231949A)

(43) 公開日 平成14年8月16日 (2002.8.16)

(51) Int.Cl. ⁷	識別記号	F I	テームコード (参考)
H 0 1 L 29/78	6 5 7	H 0 1 L 29/78	6 5 7 G 5 F 0 3 8
	6 5 6		6 5 6 C 5 F 0 4 8
21/822		27/06	1 0 2 A
21/8234		27/04	H
27/04			

審査請求 未請求 請求項の数 6 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願2001-150294(P2001-150294)
(22) 出願日 平成13年5月21日(2001.5.21)
(31) 優先権主張番号 特願2000-362032(P2000-362032)
(32) 優先日 平成12年11月29日(2000.11.29)
(33) 優先権主張国 日本 (J P)

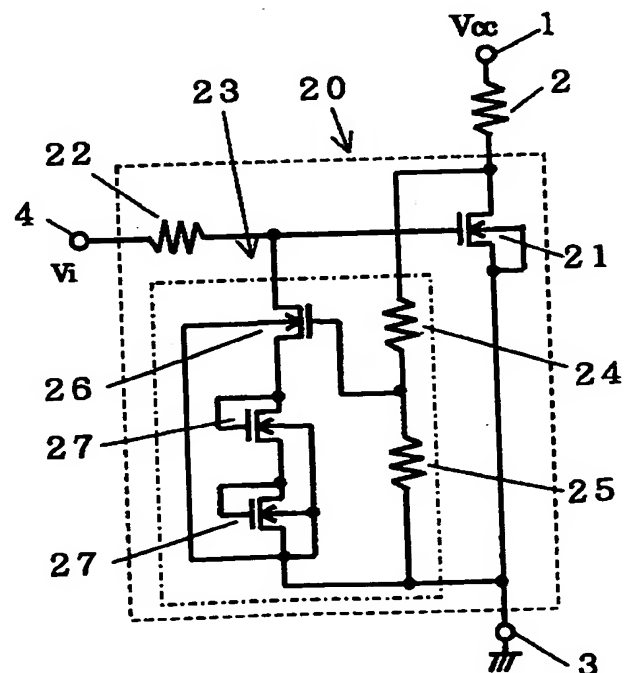
(71) 出願人 000156950
関西日本電気株式会社
滋賀県大津市晴嵐2丁目9番1号
(72) 発明者 柳川 洋
滋賀県大津市晴嵐2丁目9番1号 関西日
本電気株式会社内
Fターム(参考) 5F038 BH02 BH04 BH07 BH11 DF01
DT12 EZ20
5F048 AB07 AC10 BA01 BD04 BD07
CB07

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 出力用MOSトランジスタのゲート・ソース間を一定電圧にクランプしたとき、出力用MOSトランジスタの閾値電圧 V_T の製造ばらつきがある場合、電流制限値も設計値に対してばらつくという問題がある。

【解決手段】 出力用MOSトランジスタ21のゲート・ソース間を一定電圧にクランプするクランプ回路23は、出力用MOSトランジスタ21のドレインとソース間電圧を分圧抵抗24、25で分圧し、この分圧された電圧をNチャネル型スイッチング用MOSトランジスタ26のゲートに供給し、出力用MOSトランジスタ21に過電流が流れたとき、スイッチング用MOSトランジスタ26を導通させて、クランプ用MOSトランジスタ27、27の閾値電圧 V_T とスイッチング用MOSトランジスタ26のオン電圧との和をクランプ電圧として、出力用MOSトランジスタ21の出力電流を制限する。



【特許請求の範囲】

【請求項1】出力用MOSトランジスタと、出力用MOSトランジスタのゲート・ソース間電圧をクランプして出力用MOSトランジスタの過電流時の電流を制限するクランプ回路とを有した半導体装置において、前記クランプ回路が、前記出力用MOSトランジスタの閾値電圧の製造ばらつきに連動した閾値電圧を有しドレイン・ゲート間が短絡されたクランプ用MOSトランジスタによりクランプすることを特徴とした半導体装置。

【請求項2】前記出力用MOSトランジスタが縦型MOSトランジスタであり、前記クランプ用MOSトランジスタが横型MOSトランジスタであることを特徴とする請求項1記載の半導体装置。

【請求項3】前記縦型MOSトランジスタおよび横型MOSトランジスタが、それぞれゲートプレーナ構造であることを特徴とする請求項2記載の半導体装置。

【請求項4】前記縦型MOSトランジスタおよび横型MOSトランジスタが、それぞれゲートを溝の内部に形成した構造であることを特徴とする請求項2記載の半導体装置。

【請求項5】前記縦型MOSトランジスタおよび横型MOSトランジスタは、低濃度一導電型の同一半導体基板に形成され、前記縦型MOSトランジスタは半導体基板の表面層に他導電型ベース領域を配置するとともに、このベース領域の表面層に高濃度一導電型ソース領域を配置し、前記横型MOSトランジスタは半導体基板の表面層に低濃度他導電型ウェル領域を配置するとともに、このウェル領域の表面層に他導電型ベース領域と高濃度一導電型ドレイン領域を配置し、このベース領域の表面層に高濃度一導電型ソース領域を配置したことを特徴とする請求項3記載の半導体装置。

【請求項6】前記縦型MOSトランジスタおよび横型MOSトランジスタは、低濃度一導電型の同一半導体基板に形成され、前記縦型MOSトランジスタは、前記溝が半導体基板の表面層に形成され、この溝に接して半導体基板の表面層に他導電型ベース領域を配置するとともに、この溝に接してベース領域の表面層に高濃度一導電型ソース領域を配置し、前記横型MOSトランジスタは、半導体基板の表面層に低濃度他導電型ウェル領域を配置し、前記溝がこのウェル領域の表面層に形成されるとともに、この溝に接してウェル領域の表面層に他導電型ベース領域と高濃度一導電型ドレイン領域を配置し、この溝に接してベース領域の表面層に高濃度一導電型ソース領域を配置したことを特徴とする請求項4記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に出力用MOSトランジスタと、出力用MOSトランジスタのゲート・ソース間電圧をクランプして出力

用MOSトランジスタの過電流時の電流を制限するクランプ回路とを有した半導体装置に関する。

【0002】

【従来の技術】従来のMOSトランジスタ出力回路10は、図6に示すように、電源端子1に一端が接続された負荷2の他端と、接地端子3と、入力端子4とに接続されて使用される。MOSトランジスタ出力回路10は、負荷2の他端にドレインが接続されるとともに接地端子3にソースが接続されるNチャネル型出力用MOSトランジスタ11と、入力端子4に一端が接続されるとともに他端が出力用MOSトランジスタ11のゲートに接続された抵抗12と、出力用MOSトランジスタ11のゲートとソース間に接続されたクランプ回路13とを有している。クランプ回路13は、出力用MOSトランジスタ11のドレインとソース間に分圧抵抗14、15が直列接続され、出力用MOSトランジスタ11のゲートと抵抗12との接続点と、出力用MOSトランジスタ11のソース間に、Nチャネル型スイッチング用MOSトランジスタ16と複数個の、図では、3個の順方向に配置したダイオード17とが直列接続され、抵抗14と抵抗15の接続点がスイッチング用MOSトランジスタ16のゲートに接続されて構成されている。

【0003】上記構成のMOSトランジスタ出力回路10の動作を説明する。電源端子1と接地端子3間に電源電圧 V_{cc} が供給された状態で、入力端子4に“H（ハイ）”レベルの入力信号 V_i が供給されると、出力用MOSトランジスタ11が導通する。この状態のとき、例えば負荷2が短絡して出力用MOSトランジスタ11に過電流が流れると、出力用MOSトランジスタ11のドレイン・ソース間電圧が上昇し、抵抗14と抵抗15の接続点の電位も上昇して、スイッチング用MOSトランジスタ16が導通する。スイッチング用MOSトランジスタ16が導通すると、出力用MOSトランジスタ11のゲート・ソース間電圧は3個のダイオード17の順方向電圧の和とスイッチング用MOSトランジスタ16のオン電圧の総和の一定電圧にクランプされ、出力用MOSトランジスタ11はオン動作時のゲート・ソース間電圧に比べて低いゲート・ソース間電圧による飽和領域での動作となってドレイン・ソース間に流れる電流値を一定に制限することができる。

【0004】ところで、MOSトランジスタ出力回路10は、出力用MOSトランジスタ11のゲート・ソース間に印加されるクランプ電圧が上述したように一定電圧であるため、そのクランプ電圧により制限される出力用MOSトランジスタ11のドレイン・ソース間に流れる電流の値（以下、電流制限値という）は、図7に示すように、出力用MOSトランジスタ11の閾値電圧 V_T が設計値どおりの場合、所望の値となる。しかし、出力用MOSトランジスタ11の閾値電圧 V_T に製造ばらつきがあると、閾値電圧 V_T が設計値より低いと電流制限値

は所望値より大きくなり、閾値電圧 V_T が設計値より高いと電流制限値は所望値より小さくなって、電流制限値もばらつくという問題がある。この閾値電圧 V_T のばらつきによる電流制限値のばらつきは、出力用MOSトランジスタの相互コンダクタンス g_m が大きくなるほど大きくなる。

【0005】上述の問題を解決すると考えられる発明が特公平7-20026号公報に記載されている。この発明は、出力用縦型MOSトランジスタの過電流を制限するためのゲート・ソース間クランプ電圧を出力用縦型MOSトランジスタと同じ特性を有するクランプ用縦型MOSトランジスタとそのゲートの印加電位を抵抗の分圧電位で与える定電圧回路により設定する構成としている。

【0006】

【発明が解決しようとする課題】ところで、上述の問題を解決するためにMOSトランジスタ出力回路に特公平7-20026号公報に記載の上述の構成を用いた場合、以下のような問題点がある。クランプ用縦型MOSトランジスタは、定電圧のクランプ電圧を得るために、そのゲートの印加電位を抵抗の分圧電位で与える構成としているため、相互コンダクタンス g_m の大きなトランジスタが必要であり、トランジスタの面積が大きく、チップサイズを小さくできない。また、クランプ用縦型MOSトランジスタは、出力用縦型MOSトランジスタと同じ特性を得るために同一半導体基板上に同じ工程で形成することが望ましいが、ドレイン電位を出力用縦型MOSトランジスタのドレイン電位とは別電位にする必要があり、両トランジスタのドレインを基板内で分離しなければならず、製造工程が複雑となる。本発明は上記問題点に鑑み、出力用MOSトランジスタの閾値電圧 V_T に製造ばらつきがあっても、チップサイズを大きくせず、また複雑な工程を用いずに、クランプ電圧をその閾値電圧 V_T の製造ばらつきに連動させた値とすることにより、電流制限値のばらつきが少ない半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】(1)本発明の半導体装置は、出力用MOSトランジスタと、出力用MOSトランジスタのゲート・ソース間電圧をクランプして出力用MOSトランジスタの過電流時の電流を制限するクランプ回路とを有した半導体装置において、前記クランプ回路が、前記出力用MOSトランジスタの閾値電圧の製造ばらつきに連動した閾値電圧を有しドレイン・ゲート間が短絡されたクランプ用MOSトランジスタによりクランプすることを特徴とする。

(2)本発明の半導体装置は、上記(1)項の半導体装置において、前記出力用MOSトランジスタが縦型MOSトランジスタであり、前記クランプ用MOSトランジスタが横型MOSトランジスタであることを特徴とす

る。

(3)本発明の半導体装置は、上記(2)項の半導体装置において、前記縦型MOSトランジスタおよび横型MOSトランジスタが、それぞれゲートプレーナ構造であることを特徴とする。

(4)本発明の半導体装置は、上記(2)項の半導体装置において、前記縦型MOSトランジスタおよび横型MOSトランジスタが、それぞれゲートを溝の内部に形成した構造であることを特徴とする。

(5)本発明の半導体装置は、上記(3)項の半導体装置において、前記縦型MOSトランジスタおよび横型MOSトランジスタは、低濃度一導電型の同一半導体基板に形成され、前記縦型MOSトランジスタは半導体基板の表面層に他導電型ベース領域を配置するとともに、このベース領域の表面層に高濃度一導電型ソース領域を配置し、前記横型MOSトランジスタは半導体基板の表面層に低濃度他導電型ウェル領域を配置するとともに、このウェル領域の表面層に他導電型ベース領域と高濃度一導電型ドレイン領域を配置し、このベース領域の表面層に高濃度一導電型ソース領域を配置したことを特徴とする。

(6)本発明の半導体装置は、上記(4)項の半導体装置において、前記縦型MOSトランジスタおよび横型MOSトランジスタは、低濃度一導電型の同一半導体基板に形成され、前記縦型MOSトランジスタは、前記溝が半導体基板の表面層に形成され、この溝に接して半導体基板の表面層に他導電型ベース領域を配置するとともに、この溝に接してベース領域の表面層に高濃度一導電型ソース領域を配置し、前記横型MOSトランジスタは、半導体基板の表面層に低濃度他導電型ウェル領域を配置し、前記溝がこのウェル領域の表面層に形成されるとともに、この溝に接してウェル領域の表面層に他導電型ベース領域と高濃度一導電型ドレイン領域を配置し、この溝に接してベース領域の表面層に高濃度一導電型ソース領域を配置したことを特徴とする。

【0008】

【発明の実施の形態】以下、この発明の第1実施例について、図1を参照して説明する。図において、20は半導体装置としてのMOSトランジスタ出力回路で、電源端子1に一端が接続された負荷2の他端と、接地端子3と、入力端子4とに接続されて使用される。MOSトランジスタ出力回路20は、負荷2の他端にドレインが接続されるとともに接地端子3にソースが接続されるNチャネル型出力用MOSトランジスタ21と、入力端子4に一端が接続されるとともに他端が出力用MOSトランジスタ21のゲートに接続された抵抗22と、出力用MOSトランジスタ21のゲートとソース間に接続されたクランプ回路23とを有している。クランプ回路23は、出力用MOSトランジスタ21のドレインとソース間に分圧抵抗24、25が直列接続され、出力用MOS

トランジスタ21のゲートと抵抗22との接続点と、出力用MOSトランジスタ21のソース間に、Nチャネル型スイッチング用MOSトランジスタ26と、出力用MOSトランジスタ21の閾値電圧 V_T の製造ばらつきに連動した閾値電圧 V_T を有しドレイン・ゲート間を短絡した複数個の、図では、2個のNチャネル型クランプ用MOSトランジスタ27とが直列接続され、抵抗24と抵抗25の接続点がスイッチング用MOSトランジスタ26のゲートに接続されて構成されている。

【0009】次に、クランプ用MOSトランジスタ27の閾値電圧 V_T の製造ばらつきを出力用MOSトランジスタ21の閾値電圧 V_T の製造ばらつきと連動させるための、出力用MOSトランジスタ21とクランプ用MOSトランジスタ27との半導体基板上での構成を、出力用MOSトランジスタ21がゲートプレーナ構造の縦型である場合について、図2(a)、(b)を参照して説明する。出力用MOSトランジスタ21は、図2(a)に示す出力用MOSトランジスタ121を1ユニットセルとして、多数のユニットセルが例えばマトリックス状に配置され並列接続されて構成される。クランプ用MOSトランジスタ27は、図2(b)に示すクランプ用MOSトランジスタ127が1個で構成される。クランプ用MOSトランジスタ127は、ゲートプレーナ構造の横型であり、出力用MOSトランジスタ121と同一の低濃度一導電型であるN-型半導体基板40に形成されている。出力用MOSトランジスタ121は、図2

(a)に示すように、半導体基板40をドレイン領域41とし、半導体基板40の表面層に他導電型であるP型ベース領域42を配置し、ベース領域42の表面層に高濃度一導電型であるN+型ソース領域43を配置し、ドレイン領域41とソース領域43間のベース領域42表面にゲート酸化膜44を介してポリシリコンからなるゲート電極45を配置して構成されている。クランプ用MOSトランジスタ127は、図2(b)に示すように、半導体基板40の表面層にP-型ウェル領域46を配置し、ウェル領域46の表面層にP型ベース領域47を配置し、ベース領域47の表面層とウェル領域46の表面層にN+型ソース領域48とN+型ドレイン領域49をそれぞれ配置し、ドレイン領域49とソース領域48間のベース領域47およびウェル領域46表面にゲート酸化膜50を介してポリシリコンからなるゲート電極51を配置して構成されている。ゲート酸化膜44とゲート酸化膜50とは同一酸化膜をパターンニングして形成され、ゲート電極45とゲート電極51とは、同一ポリシリコン膜をパターンニングして形成される。ベース領域42とベース領域47とが同時に、ソース領域43とソース領域48およびドレイン領域49とが同時に、ゲート電極45とゲート電極51とをそれぞれマスクに自己整合的に形成される。従って、ベース領域42およびベース領域47のチャンネル領域となる領域の濃度分布はほぼ

同一となり、クランプ用MOSトランジスタ127の閾値電圧 V_T は、出力用MOSトランジスタ121の閾値電圧 V_T とほぼ同じ値となり、出力用MOSトランジスタ121の閾値電圧 V_T が製造上でばらついた場合、クランプ用MOSトランジスタ127の閾値電圧 V_T も連動してほぼ同様にばらつく。

【0010】次に、出力用MOSトランジスタ21とクランプ用MOSトランジスタ27との半導体基板上での構成を、出力用MOSトランジスタ21がゲートを溝の内部に形成したUMOS構造の縦型である場合について、図3(a)、(b)を参照して説明する。出力用MOSトランジスタ21は、図3(a)に示す出力用MOSトランジスタ221を1ユニットセルとして、多数のユニットセルが例えばマトリックス状に配置され並列接続されて構成される。クランプ用MOSトランジスタ27は、図3(b)に示すクランプ用MOSトランジスタ227が1個で構成される。クランプ用MOSトランジスタ227は、UMOS構造の横型であり、出力用MOSトランジスタ221と同一の低濃度一導電型であるN-型半導体基板60に形成されている。出力用MOSトランジスタ221は、図3(a)に示すように、半導体基板60をドレイン領域61とし、半導体基板60の表面に断面がU字型の溝(以下、U字型溝という)62が形成され、このU字型溝62内にゲート酸化膜63を介してポリシリコンからなるゲート電極64を配置し、U字型溝62に接してN型シリコン基板60の表面層にU字型溝62より浅く他導電型であるP型ベース領域65を配置し、U字型溝62に接してベース領域65の表面層に高濃度一導電型であるN+型ソース領域66を配置して構成されている。クランプ用MOSトランジスタ227は、図3(b)に示すように、半導体基板60の表面層にP-型ウェル領域67を配置し、ウェル領域67の表面にU字型溝68が形成され、このU字型溝68内にゲート酸化膜69を介してポリシリコンからなるゲート電極70を配置し、U字型溝68の片側(図示左側)に接してウェル領域67の表面層にU字型溝68より浅くP型ベース領域71を配置し、U字型溝68に接してベース領域71の表面層とウェル領域67の表面層にN+型ソース領域72とN+型ドレイン領域73をそれぞれ配置して構成されている。ゲート酸化膜63とゲート酸化膜69とは同時に形成され、ゲート電極64とゲート電極70とは、同一ポリシリコン膜から同時に形成される。ベース領域65とベース領域71とが同時に、ソース領域66とソース領域72およびドレイン領域73とが同時に形成される。従って、ベース領域65およびベース領域71のチャンネル領域となる領域の濃度分布はほぼ同一となり、クランプ用MOSトランジスタ227の閾値電圧 V_T は、出力用MOSトランジスタ221の閾値電圧 V_T とほぼ同じ値となり、出力用MOSトランジスタ221の閾値電圧 V_T が製造上でばらついた場

合、クランプ用MOSトランジスタ227の閾値電圧 V_T も連動してほぼ同様にばらつく。

【0011】上記構成のMOSトランジスタ出力回路20の動作を説明する。電源端子1と接地端子3間に電源電圧 V_{cc} が供給された状態で、入力端子4に“H（ハイ）”レベルの入力信号 V_i が供給されると、出力用MOSトランジスタ21が導通する。この状態のとき、例えば負荷2が短絡して出力用MOSトランジスタ21に過電流が流れると、出力用MOSトランジスタ21のドレイン・ソース間電圧が上昇し、抵抗24と抵抗25の接続点の電位も上昇して、スイッチング用MOSトランジスタ26が導通する。スイッチング用MOSトランジスタ26が導通すると、出力用MOSトランジスタ21のゲート・ソース間電圧は2個のクランプ用MOSトランジスタ27の閾値電圧 V_T の和とスイッチング用MOSトランジスタ26のオン電圧との総和の電圧にクランプされ、出力用MOSトランジスタ21はオン動作時のゲート・ソース間電圧に比べて低いゲート・ソース間電圧による飽和領域での動作となってドレイン・ソース間に流れる電流値を一定に制限することができる。

【0012】このとき、電流制限値は、図4に示すように、出力用MOSトランジスタ21の閾値電圧 V_T が設計値どおりの場合、所望の値となる。また、出力用MOSトランジスタ21の閾値電圧 V_T に製造ばらつきがある場合でも、出力用MOSトランジスタ21の閾値電圧 V_T が設計値より低いと、クランプ用MOSトランジスタ27の閾値電圧 V_T も連動して低くなり、クランプ電圧も連動して低くなり、出力用MOSトランジスタ21の閾値電圧 V_T が設計値より高いと、クランプ用MOSトランジスタ27の閾値電圧 V_T も連動して高くなり、クランプ電圧も連動して高くなるため、電流制限値は、閾値電圧 V_T が設計値の場合とほぼ同じ値となり、電流制限値のばらつきは小さくなる。

【0013】次に、本発明の第2実施例について、図5を参照して説明する。図において、30はMOSトランジスタ出力回路で、電源端子1と、一端が接地端子3に接続された負荷2の他端と、入力端子4とに接続されて使用される。MOSトランジスタ出力回路30は、電源端子1にドレインが接続されるとともに負荷2の他端にソースが接続されるNチャネル型出力用MOSトランジスタ31と、入力端子4に一端が接続されるとともに他端が出力用MOSトランジスタ31のゲートに接続された抵抗32と、出力用MOSトランジスタ31のゲートとソース間に接続されたクランプ回路33とを有している。クランプ回路33は、出力用MOSトランジスタ31のドレインとソース間に分圧抵抗34、35が直列接続され、出力用MOSトランジスタ31のゲートと抵抗32との接続点と、出力用MOSトランジスタ31のソース間に、Nチャネル型スイッチング用MOSトランジスタ36と、出力用MOSトランジスタ31の閾値電圧

V_T の製造ばらつきに連動した閾値電圧 V_T を有し、ドレイン・ゲート間を短絡した複数個の、図では、2個のNチャネル型クランプ用MOSトランジスタ37とが直列接続され、抵抗34と抵抗35の接続点がスイッチング用MOSトランジスタ36のゲートに接続されて構成されている。出力用MOSトランジスタ31とクランプ用MOSトランジスタ37との半導体基板上での構成、およびMOSトランジスタ出力回路30の動作は、MOSトランジスタ出力回路20と同様であるので、この説明を省略する。尚、上記実施例1および2では、出力用MOSトランジスタ31、41のゲート・ソース間に、スイッチング用MOSトランジスタ26、36をゲート側に、クランプ用MOSトランジスタ27、37をソース側にして直列接続しているが、スイッチング用MOSトランジスタ26、36をソース側に、クランプ用MOSトランジスタ27、37をゲート側にしてもよい。

【0014】

【発明の効果】以上のように、この発明のMOSトランジスタ出力回路は、クランプ回路を出力用MOSトランジスタの閾値電圧 V_T の製造ばらつきと連動させた閾値電圧 V_T の製造ばらつきを有するMOSトランジスタで構成しているので、出力用MOSトランジスタの閾値電圧 V_T に製造ばらつきがある場合でも、設計値に対してばらつきの少ない電流制限値を得ることができる。

【図面の簡単な説明】

【図1】 本発明の第1実施例のMOSトランジスタ出力回路の回路図。

【図2】 図1に示すMOSトランジスタ出力回路に含まれる出力用MOSトランジスタとクランプ用MOSトランジスタとの半導体基板上での構成の一例を示す断面図。

【図3】 図1に示すMOSトランジスタ出力回路に含まれる出力用MOSトランジスタとクランプ用MOSトランジスタとの半導体基板上での構成の他の例を示す断面図。

【図4】 図1に示すMOSトランジスタ出力回路の動作を説明するための特性図。

【図5】 本発明の第2実施例のMOSトランジスタ出力回路の回路図。

【図6】 従来のMOSトランジスタ出力回路の回路図。

【図7】 図6に示すMOSトランジスタ出力回路の動作を説明するための特性図。

【符号の説明】

21、31 Nチャネル型出力用MOSトランジスタ

23、33 クランプ回路

24、25、34、35 分圧抵抗

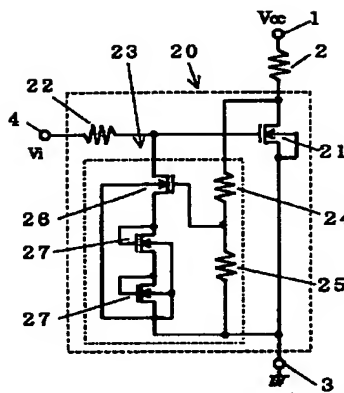
26、36 Nチャネル型スイッチング用MOSトランジスタ

27、37 Nチャネル型クランプ用MOSトランジスタ

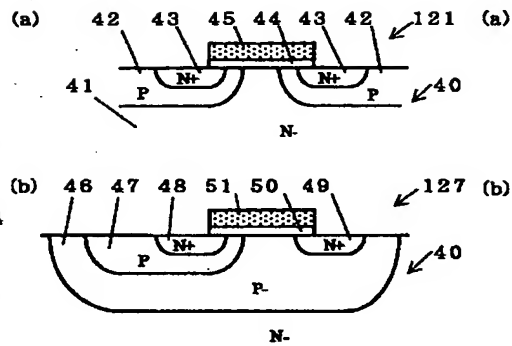
タ
40 N-型半導体基板
41 N+型ドレイン領域
42 P型ベース領域

43 N+型ソース領域
46 P-型ウェル領域
47 P型ベース領域
48 N+型ソース領域

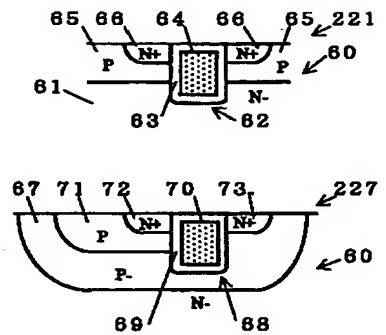
【図1】



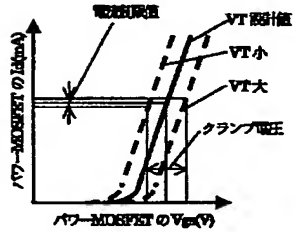
【図2】



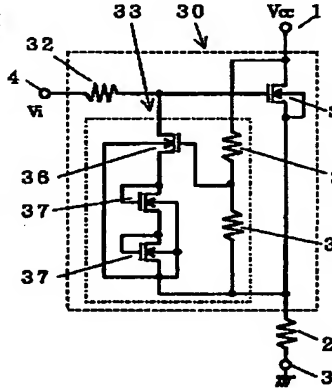
【図3】



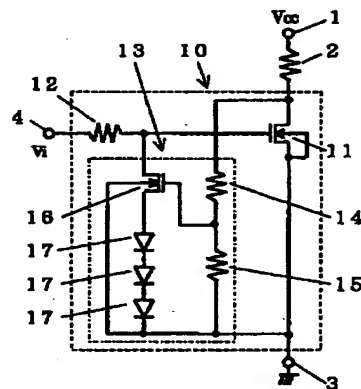
【図4】



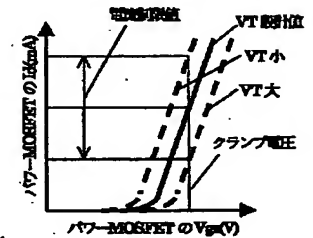
【図5】



【図6】



【図7】



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

ターマコード (参考)

H O 1 L 27/06